

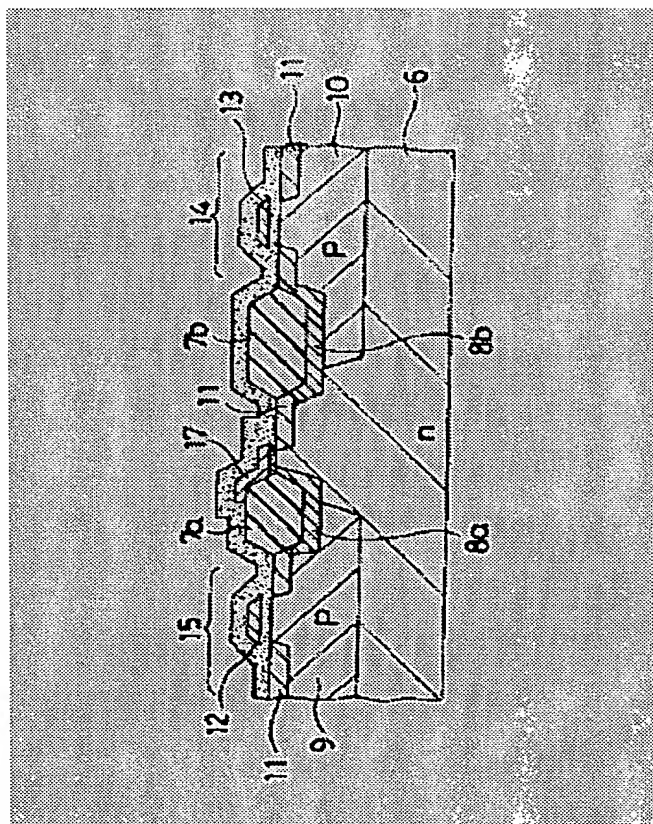
SOLID-STATE IMAGE PICKUP ELEMENT

Patent number: JP57202182
Publication date: 1982-12-10
Inventor: YAMAMURA MICHIO; others: 06
Applicant: HITACHI SEISAKUSHO KK
Classification:
- **International:** H04N5/30; H01L27/14
- **European:**
Application number: JP19810086950 19810608
Priority number(s):

Abstract of JP57202182

PURPOSE: To prevent the invasion of spike noise from a digital circuit to an analog circuit, by reducing a capacitive coupling between a high density impurity layer under a thermal oxidation film and an n^{+} diffusion layer separated from the layer.

CONSTITUTION: A gate 17 made of a polysilicon thin film having, e.g., a low resistance value is formed on the upper surface of an N type semiconductor substrate 6 between a thermal oxidation film 7a of a digital circuit 15 and a thermal oxidation film 7b of an analog circuit 14. A high potential of a prescribed value is applied to the gate 17 at all times and the gate is always set to off-state, a high density impurity layer 8a of the digital circuit 15 and an n^{+} diffusion layer 11 of the analog circuit 14 are coupled with non-capacitive way, and spike noise of the digital circuit 15 can not be invaded to the analog circuit 14.



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭57-202182

⑮ Int. Cl.³
H 04 N 5/30
H 01 L 27/14

識別記号

庁内整理番号
6940-5C
6819-5F

⑯ 公開 昭和57年(1982)12月10日
発明の数 1
審査請求 未請求

(全 4 頁)

⑰ 固体撮像素子

茂原市早野3300番地株式会社日
立製作所茂原工場内

⑱ 特 願 昭56-86950

⑲ 発 明 者 真山晃一

⑳ 出 願 昭56(1981)6月8日

茂原市早野3300番地株式会社日
立製作所茂原工場内

㉑ 発 明 者 山村道男

㉒ 発 明 者 永井慎一

茂原市早野3300番地株式会社日
立製作所茂原工場内

茂原市早野3300番地株式会社日
立製作所茂原工場内

㉓ 発 明 者 引場正行

㉔ 出 願 人 株式会社日立製作所

茂原市早野3300番地株式会社日
立製作所茂原工場内

東京都千代田区丸の内1丁目5
番1号

㉕ 発 明 者 鈴木敏樹

㉖ 代 理 人 弁理士 薄田利幸

茂原市早野3300番地株式会社日
立製作所茂原工場内

最終頁に続く

㉗ 発 明 者 山下浩二

明 細 書

発明の名称 固体撮像素子

特許請求の範囲

1. 少なくとも光電変換部を有するアナログ回路部と、前記光電変換部から光信号を順次読み出すパルス発生回路部を有するデジタル回路部とを備えた固体撮像素子において、前記アナログ回路部と前記デジタル回路部間に両者を電気的に分離するゲート部を設けたことを特徴とする固体撮像素子。
2. 前記ゲート部をオフセットゲート構造としたことを特徴とする特許請求の範囲第1項記載の固体撮像素子。

発明の詳細な説明

本発明は固体撮像素子、特に水平走査回路、垂直走査回路等のデジタル回路から光電変換部、信号読み出し部などのアナログ回路へ混入するスパイク雑音を抑制した固体撮像素子に関するものである。

一般に固体撮像素子は、第1図に要部平面構

成図で示したように光電変換部1と信号読み出し部2と、信号を加次読み出すための水平走査回路3a、垂直走査回路3bからなるパルス発生回路部3とから主に構成されている。このような構成において、上記光電変換部1と信号読み出し部2は微小電流を対象とするアナログ回路部であり、一方パルス発生回路部3はデジタル回路部であり、固体撮像素子はこのような二つの異なった機能を有している。このため、デジタル回路部から発生するスパイク雑音がアナログ回路へ混入し、固体撮像素子の性能を著しく低下させるという問題が発生した。

このような問題を改善したものとしては、同図に示したようにデジタル回路部つまり水平走査回路3a、垂直走査回路3bからなるパルス発生回路部3およびアナログ回路部つまり光電変換部1、信号読み出し部2にそれぞれ個別にクエレン部4、5を設け、デジタル回路部とアナログ回路部とを構造的に分離させてデジタル回路部から発生するスパイク雑音のアナログ回路部

への混入を防止させていた。

すなわち構造的に説明すると、第2図に要部断面で示したようにp形半導体6上にウエル領域9、10をそれぞれ個別に形成し、熱酸化膜7a、7bの下部の高濃度不純物層(p⁺層)8a、8bをn⁺拡散層11によつて分離している。さらにこれらのp形ウエル領域9、10上に拡散層(n⁺層)11および塩酸12、13を形成してアナログ回路部14、デジタル回路部15を個別に構成することによつて、スパイク雑音を低減させていた。

このように構成された固体撮像素子において、アナログ回路部14とデジタル回路部15とをp形ウエル領域9、10による分離構造をとつた場合、デジタル回路部15側の熱酸化膜7aと他方のアナログ回路部14側の熱酸化膜7bとが分離された構成となり、さらにこれらの熱酸化膜7a、7bの下部にはチャンネルストップの目的でウエル領域9、10と同一種のイオンが高濃度でイオン打込した高濃度不純物層

- 3 -

かしながらこのような構成によると、n⁺拡散層11の配線抵抗値が大きいため、充分な接地効果が得られなくなるとともに、素子への配置が極めて困難となるなどの欠点があつた。

したがつて本発明は、熱酸化膜下の高濃度不純物層と、この高濃度不純物層と分離しているn⁺拡散層との間の容量結合を小さくさせ、デジタル回路部からアナログ回路へのスパイク雑音の飛び込みを防止した固体撮像素子を提供することを目的としている。

以下図面を用いて本発明の実施例を説明する。

第3図は本発明による固体撮像素子の一例を説明するための第2図に相当する要部断面構成図であり、第2図と同記号は同一要素となるのでその説明は省略する。第3図において、デジタル回路部15側の熱酸化膜7aとアナログ回路14側の熱酸化膜7b間のp形半導体基板6の上には、例えば低抵抗値を有するポリシリコン薄膜からなるゲート部17が形成されている。また、このゲート部17が形成されることによ

- 5 -

特開昭57-202182(2)

(p⁺層)8a、8bが配置される構成となる。

しかしながら、上述した分離構造をとると、通常のMOSトランジスタのプロセスでは、デジタル回路側の熱酸化膜7aとアナログ回路側の熱酸化膜7bとの間隙部にはn⁺拡散層11が形成されるので、熱酸化膜7a、7b下のp形高濃度不純物層8a、8bとn⁺拡散層11の界面にp-n接合部16が形成される。そして、このp-n接合部16は両方の不純物層8a、8bの濃度が高いので、接合容量も大きなものとなる。したがつて、デジタル回路部15からのスパイク雑音はデジタル回路部15を構成しているp形ウエル領域9およびこのウエル領域9に近接している同種不純物がインプラされているp形高濃度不純物層8aを経て、p形高濃度不純物層8aの分離用として形成されたn⁺拡散層11と容量結合し、アナログ回路部14のウエル領域10へと混入する経路が形成される。ところで、このn⁺拡散層11を充分に接地可能であれば、上述したスパイク雑音は軽減できる。し

- 4 -

つて、熱酸化膜7aと7b間のp形半導体基板6上のn⁺拡散層11は高濃度不純物層8aが分離して形成され、この場合、高濃度不純物層8aと容量結合するn⁺拡散層11とが非接合状態で形成されている。第4図は第1図に相当する要部平面構成図を示したものである。同図において、17は上述したデジタル回路部15とアナログ回路部14間に設けられたゲート部であり、18は水平走査回路3aの出力パルスを取り出し部2に印加する配線である。

このような構成において、ゲート部17はp形半導体基板6と対向配置して形成された構造を有しているため、このゲート部17に常時所定の高電位を印加して常にオフ状態に設定しておくことによつて、デジタル回路部15側の高濃度不純物層8aとアナログ回路部17側のn⁺拡散層11との間が非容量結合状態となり、したがつてデジタル回路部15のスパイク雑音がアナログ回路部14への混入を防止することができる。また、このゲート部17は例えばポリ

- 6 -

特開昭57-202182(3)

シリコンなどで形成されているため、抵抗値が小さいので接地が容易となり、さらに配線上の問題も全くなくなる。

なお、上記実施例において、光電変換部1と信号読み出し部2を同一ウエル領域10上に形成した場合について説明したが、本発明はこれに限定されるものではなく、信号読み出し部2のみを独立したウエル構造とした場合、または他のアナログ、デジタル共存の回路でウエル領域分離構造とした場合においても前述と同様の効果が得られることは勿論である。

以上説明したように本発明によれば、デジタル回路部とアナログ回路部間の n^+ 拡散層を介する容量結合成分を小さくさせかつ容易に形成配線してデジタル回路部から発生するスパイク雑音をアナログ回路部への侵入を防止でき、固体撮像素子の性能を大幅に向上させることができるという極めて優れた効果が得られる。

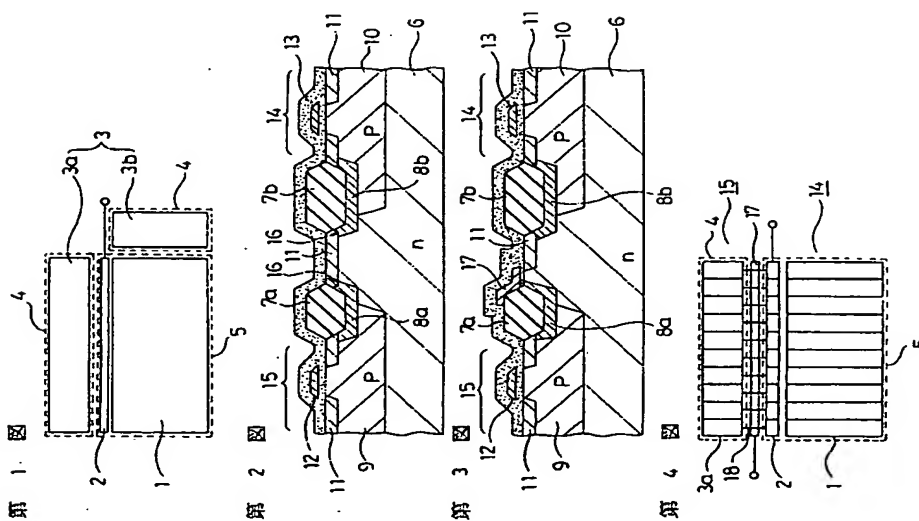
図面の簡単な説明

第1図、第2図は従来の固体撮像素子の一例

を説明するための図、第3図、第4図は本発明による固体撮像素子の一例を説明するための図である。

1・・・光電変換部、2・・・信号読み出し部、3a・・・水平走査回路、3b・・・垂直走査回路、3・・・パルス発生回路部、4,5・・・ウエル部、6・・・ n 形半導体基板、7a,7b・・・熱酸化膜、8a,8b・・・高濃度不純物層(p^+ 層)、9,10・・・ウエル領域、11・・・拡散層(n^+ 層)、12,13・・・電極、14・・・アナログ回路部、15・・・デジタル回路部、16・・・ $p-n$ 接合部、17・・・ゲート部、18・・・配線。

代理人 弁理士 藤田 利雄



第1頁の続き

特開 昭57-202182 (4)

⑦発 明 者 中西秀明
茂原市早野3300番地株式会社日
立製作所茂原工場内